

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: NOBORU MATSUDA ET AL

GAU:

SERIAL NO: NEW PATENT APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: POWER MOS TRANSISTOR HAVING TRENCH GATE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	JPAP11-269922	SEPTEMBER/24/1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee



22850

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Eckhard H. Kuesters

Gregory J. Maier
Registration No. 25,599

Eckhard H. Kuesters
Registration No. 28,870



5/ Priority paper
P. J. J. J.
4-16-02

JCE92 U.S. PTO
09/667559
09/22/00

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年 9月24日

願 番 号
Application Number:

平成11年特許願第269922号

願 人
Applicant(s):

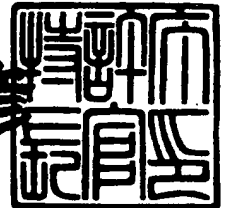
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 5月19日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3037681

【書類名】 特許願

【整理番号】 A009904796

【提出日】 平成11年 9月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 3

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 松田 昇

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 小林 仁

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 川勝 優

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 大澤 明彦

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板に第 1 の間隔で離間して形成された複数の第 1 のゲート電極と、

前記第 1 のゲート電極からそれぞれ絶縁して前記半導体基板内に配置され、互いに接続された第 1 のソース領域と、

前記第 1 の間隔より広い第 2 の間隔で前記第 1 のゲート電極の並び方向に離間して形成された第 2 のゲート電極と、

前記第 2 のゲート電極から絶縁して前記半導体基板内に配置された第 2 のソース領域と、

前記第 1 のゲート電極と前記第 2 のゲート電極との間に配置され、前記第 1 及び第 2 のソース領域に接続されたソースコンタクト部と

を具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 及び第 2 のゲート電極と前記ソースコンタクト部との配列比は 4 : 1 又は 3 : 1 であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 及び第 2 のゲート電極はトレンチ構造であることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パターンレイアウトに係わり、特に、トレンチ構造の MOSFET の半導体装置に関する。

【0002】

【従来の技術】

図 5 に、現在の製品設計ルールによるオフセットメッシュ構造の MOSFET のパターン上面図を示す。図 5 に示すように、この MOSFET において、トレンチゲート 38 : ソースコンタクト 44 の配列比は 1 : 1 となっている。すなわち、トレンチゲート 38 のピッチ内には各 1 個のソースコンタクト 44 が形成さ

れている。

【0003】

次に、従来の半導体装置の製造方法について説明する。なお、図6は、図5の6-6線に沿った断面図を示している。

【0004】

まず、図6に示すように、例えば N^+ 型の半導体基板31上にN型のエピタキシャル層32が形成される。このエピタキシャル層32の表面に、P型のベース拡散層33、 N^+ 型のソース拡散層34からなる2重拡散層が形成される。次に、ソース拡散層34上に形成されてパターニングされたレジスト（図示せず）をマスクとして、ソース拡散層34及びベース拡散層33が除去され、ベース拡散層33を突き抜ける深さまでトレンチ35が形成される。その後、レジストが除去される。次に、全面にゲート絶縁膜36が形成され、このゲート絶縁膜36上にゲート電極用のポリシリコン膜37が形成される。その後、ゲート絶縁膜36の表面が露出するまでポリシリコン膜37が除去され、トレンチゲート38が形成される。

【0005】

次に、トレンチゲート38と後述するソースコンタクトを分離するために、全面に層間膜39が形成される。この層間膜39上に形成されてパターニングされたレジスト（図示せず）をマスクとして、層間膜39が除去され、レジストが除去される。さらに、ゲート絶縁膜36、ソース拡散層34、ベース拡散層33が除去され、ソース拡散層34を突き抜ける深さまでコンタクト孔40が形成される。次に、層間膜39をマスクとして不純物イオンが注入され、コンタクト孔40の底部のベース拡散層23内に P^+ 型の拡散層41が形成される。次に、全面にバリアメタル層42が形成され、このバリアメタル層42上にアルミニウム膜43が形成され、ソースコンタクト44が形成される。

【0006】

【発明が解決しようとする課題】

ところで、図7に示すように、トレンチゲート38に所望の電圧を印加した場合、トレンチ35の側面にチャネル領域45が形成される。ここで、このチャネ

ル領域 4 5 の数を増やせば、素子の抵抗を低下できる。

【0 0 0 7】

従って、チャネル領域 4 5 の数を増やすために、側面にチャネル領域 4 5 が形成されるトレンチゲート 3 8 の数を一定領域内で増加することが考えられる。

【0 0 0 8】

しかしながら、トレンチゲート 3 8 の相互間隔を小さくし、一定領域内でトレンチゲート 3 8 の数を増加させた場合、P E P (Photo Engraving Process) 時に合わせずれが生じる。このため、ゲートソース間のマージン量が低下する。従って、ゲートソース間にショート不良が発生する。

【0 0 0 9】

また、ソースコンタクト 4 4 の開口を小さくし、一定領域内でトレンチゲート 3 8 の数を増加させた場合、コンタクト孔 4 0 のアスペクト配列比が増加し、コンタクト孔 4 0 の側面にバリアメタル層 4 2 が十分に形成されなくなる。このため、アルミニウム膜 4 3 のアルミニウムと基板のシリコンとが反応しアルミスパイクが発生する。従って、空乏層が適切に形成されないため、ドレインソース間にリーク電流が発生する。

【0 0 1 0】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、チャネル領域の密度を増やし、素子の低抵抗化を図ることができる半導体装置を提供することにある。

【0 0 1 1】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0 0 1 2】

本発明の半導体装置は、半導体基板に第 1 の間隔で離間して形成された複数の第 1 のゲート電極と、前記第 1 のゲート電極からそれぞれ絶縁して前記半導体基板内に配置され、互いに接続された第 1 のソース領域と、前記第 1 の間隔より広い第 2 の間隔で前記第 1 のゲート電極の並び方向に離間して形成された第 2 のゲート電極と、前記第 2 のゲート電極から絶縁して前記半導体基板内に配置された

第2のソース領域と、前記第1のゲート電極と前記第2のゲート電極との間に配置され、前記第1及び第2のソース領域に接続されたソースコンタクト部とを具備する。

【0013】

この際、前記第1及び第2のゲート電極と前記ソースコンタクト部との配列比は4：1又は3：1である。

【0014】

また、前記第1及び第2のゲート電極はトレンチ構造である。

【0015】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

【0016】

図1に、本発明のオフセットメッシュ構造のMOSFETのパターン上面図を示す。図1に示すように、トレンチゲート18：ソースコンタクト24の配列比は4：1となっている。すなわち、4つのトレンチゲート18に対して、1つのソースコンタクト24が配列されている。これらトレンチゲート18のうち、ソースコンタクト24の左側に配置された3つのトレンチゲート18aは、一端部が互いに接続され、他端部は互いに開放されている。この開放された部分で各ゲートのソース領域が、ソース接続領域26を介してソースコンタクト24と接続されている。

【0017】

次に、本発明の半導体装置の製造方法について説明する。なお、図2は、図1の2-2線に沿った断面図を示している。

【0018】

まず、図2に示すように、例えば N^+ 型の半導体基板11上にN型のエピタキシャル層12が形成される。このエピタキシャル層12の表面に、P型のベース拡散層13、 N^+ 型のソース拡散層14からなる2重拡散層が形成される。次に、ソース拡散層14上に形成されてパターニングされたレジスト（図示せず）をマスクとして、ソース拡散層14及びベース拡散層13が除去され、ベース拡散

層 1 3 を突き抜ける深さまでトレンチ 1 5 が形成される。この際、図 1 に示すトレンチゲート 1 8 a が形成されるトレンチの一端は互いに接続され、他端は互いに接続されていない。このため、この非接続部分でソース領域が接続されている。

【0019】

その後、レジストが除去される。次に、全面にゲート絶縁膜 1 6 が形成され、このゲート絶縁膜 1 6 上にゲート電極用のポリシリコン膜 1 7 が形成される。その後、ゲート絶縁膜 1 6 の表面が露出するまでポリシリコン膜 1 7 が除去され、トレンチゲート 1 8 が形成される。

【0020】

次に、トレンチゲート 1 8 と後述するソースコンタクトを分離するために、全面に層間膜 1 9 が形成される。この層間膜 1 9 上に形成されてパターニングされたレジスト（図示せず）をマスクとして、層間膜 1 9 が除去され、レジストが除去される。さらに、ゲート絶縁膜 1 6、ソース拡散層 1 4、ベース拡散層 1 3 が除去され、ソース拡散層 1 4 を突き抜ける深さまでコンタクト孔 2 0 が形成される。次に、層間膜 1 9 をマスクとして不純物イオンが注入され、コンタクト孔 2 0 の底部のベース拡散層 1 3 内に P^+ 型の拡散層 2 1 が形成される。次に、全面にバリアメタル層 2 2 が形成され、このバリアメタル層 2 2 上にアルミニウム膜 2 3 が形成され、ソースコンタクト 2 4 が形成される。

【0021】

このように本発明は、図 1 に示すように、4 つのトレンチゲート 1 8 に対して 1 つのソースコンタクト 2 4 が用いられているため、トレンチゲート 1 8 : ソースコンタクト 2 4 の配列比は 4 : 1 となっている。また、トレンチゲート 1 8 a の他端は開放されているソース接続領域 2 6 が設けられている。

【0022】

従って、図 3 に示すように、トレンチゲート 1 8 a、1 8 b に所望の電圧が印加された場合、トレンチ 1 5 の側面にチャネル領域 2 5 が形成される。この際、チャネル領域 2 5 を通過する電荷は、図 1 に示すソース接続領域 2 6 を介して近隣のソースコンタクト 2 4 から取り出される。

【0023】

上記本発明の実施の形態によれば、トレンチゲート18aにソース接続領域26を設け、トレンチゲート18：ソースコンタクト24の配列比を4：1としている。このため、チャネル領域25の面積の密度を15乃至20%程度向上することができる。従って、ゲートーソース間のショート不良、ドレインーソース間のリーク電流の問題を生じさせることなく、素子の低抵抗化を図ることができる。

【0024】

なお、本発明は、上記実施形態に限定されるものではない。例えば、トレンチゲート：ソースコンタクトの配列比は4：1に限定されず、例えば3：1でもよい。

【0025】

また、図4に示すように、チャネル領域の密度を従来と同様とし、トレンチゲート27：ソースコンタクト28の配列比を2：1としてもよい。このような場合は、コンタクト孔の開口を例えば1 μ mと大きく形成することができるため、バリアメタル層を厚く形成できる。従って、ドレインーソース間のリーク電流の発生を抑制できる。

【0026】

また、ゲートはトレンチ構造に限定されず、半導体基板上に形成されてもよい。

【0027】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0028】

【発明の効果】

以上説明したように本発明によれば、チャネル領域の密度を増やし、素子の低抵抗化を図ることができる半導体装置を提供できる。

【図面の簡単な説明】

【図1】

本発明に係わるオフセットメッシュ構造のパターンを示す上面図。

【図 2】

図 1 の 2 - 2 線に沿った本発明に係わる半導体装置を示す断面図。

【図 3】

チャネル領域が形成された本発明に係わる半導体装置を示す断面図。

【図 4】

本発明に係わる他のオフセットメッシュ構造のパターンを示す上面図。

【図 5】

従来技術によるオフセットメッシュ構造のパターンを示す上面図。

【図 6】

図 5 の 6 - 6 線に沿った従来技術による半導体装置を示す断面図。

【図 7】

従来技術による半導体装置を示す断面図。

【符号の説明】

- 1 1 …半導体基板、
- 1 2 …エピタキシャル層、
- 1 3 …P型のベース拡散層、
- 1 4 … N^+ 型のソース拡散層、
- 1 5 …トレンチ、
- 1 6 …ゲート絶縁膜、
- 1 7 …ポリシリコン膜、
- 1 8、1 8 a、1 8 b、2 7 …トレンチゲート、
- 1 9 …層間膜、
- 2 0 …コンタクト孔、
- 2 1 … P^+ 型の拡散層、
- 2 2 …バリアメタル層、
- 2 3 …アルミニウム膜、
- 2 4、2 8 …ソースコンタクト、
- 2 5 …チャネル領域、

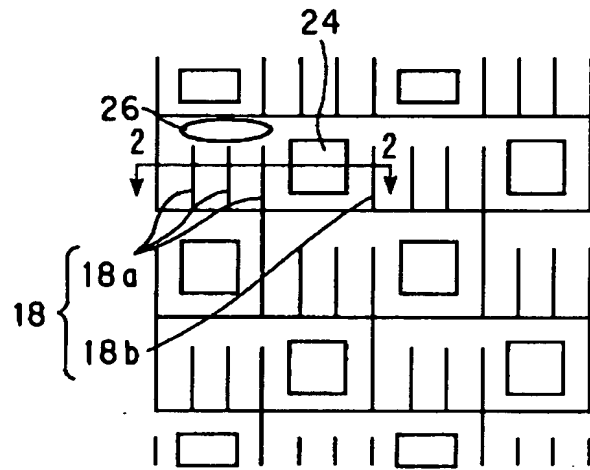
特平 1 1 - 2 6 9 9 2 2

2 6 …ソース接続領域。

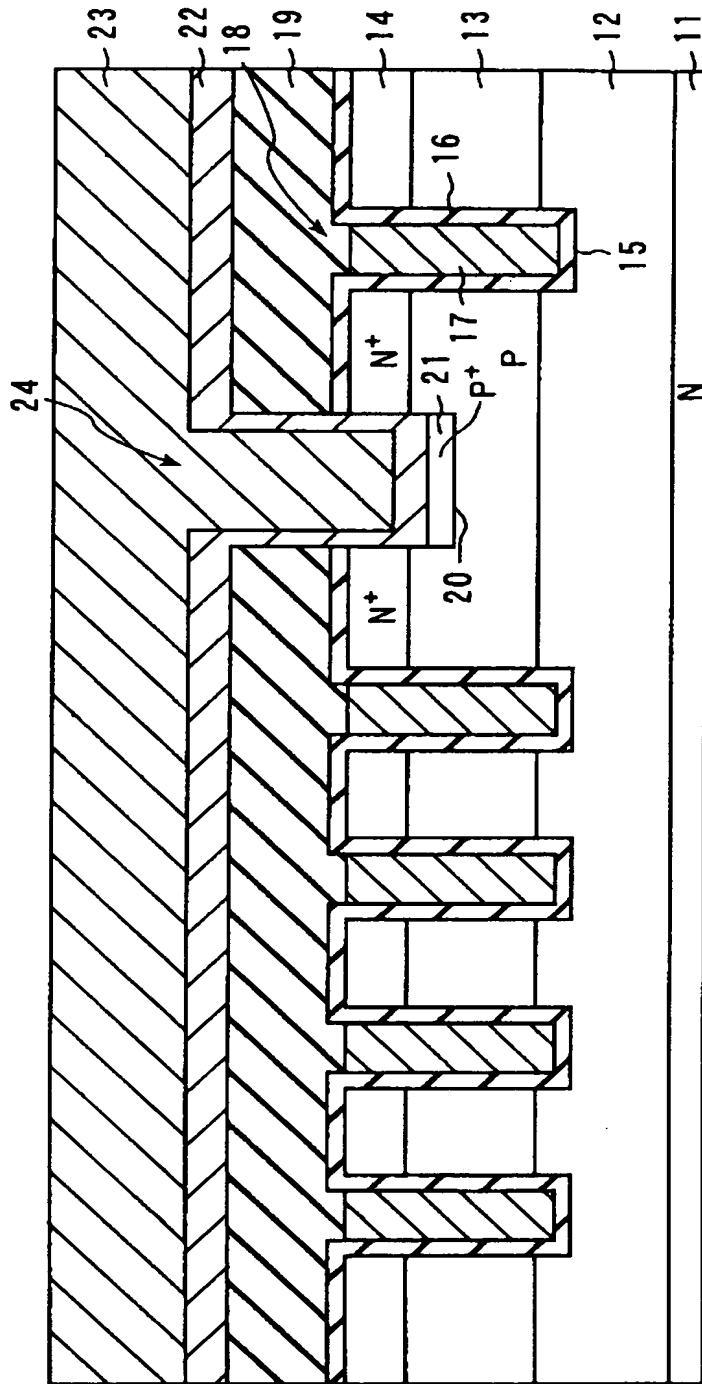
【書類名】

図面

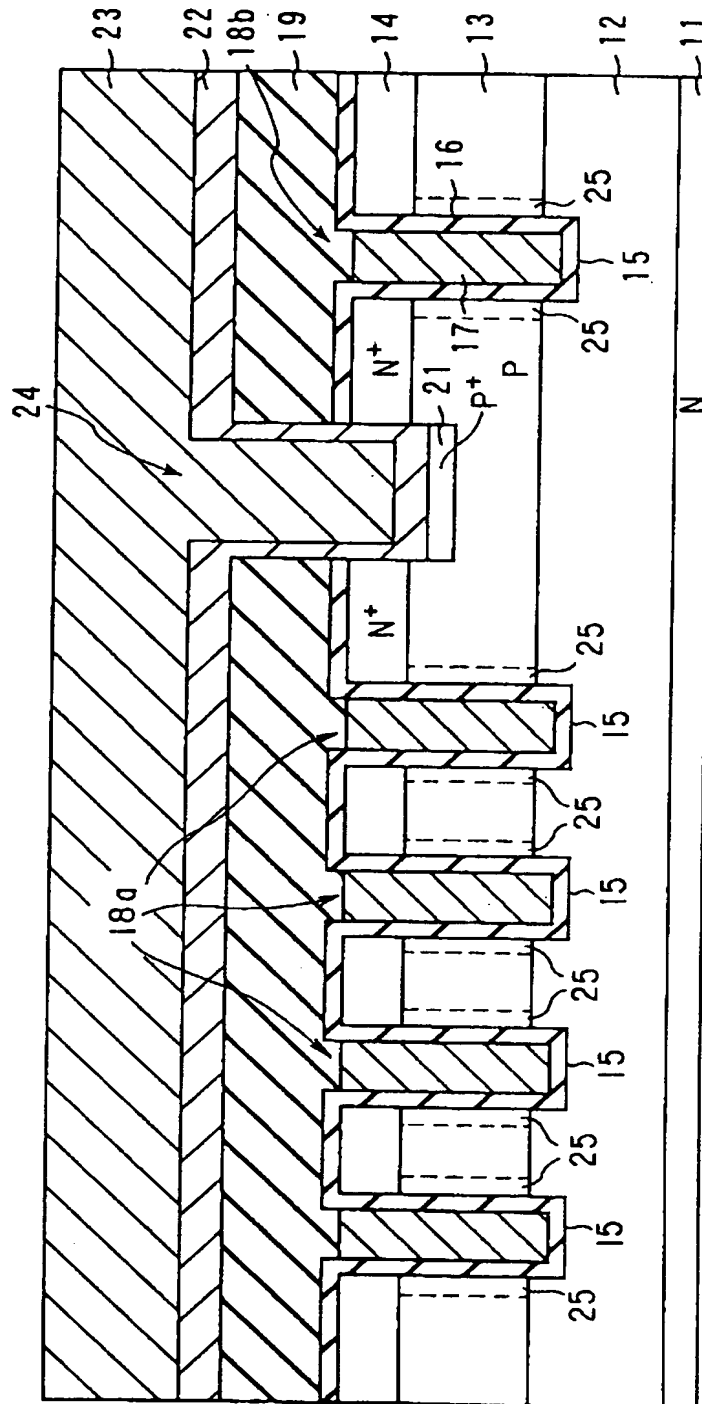
【図 1】



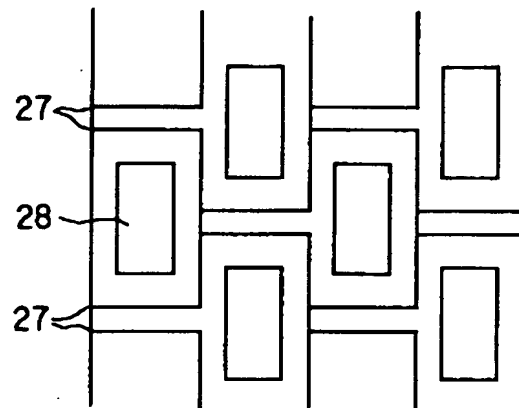
【図 2】



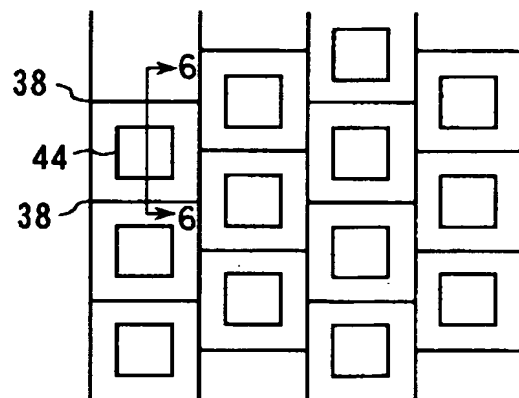
【图 3】



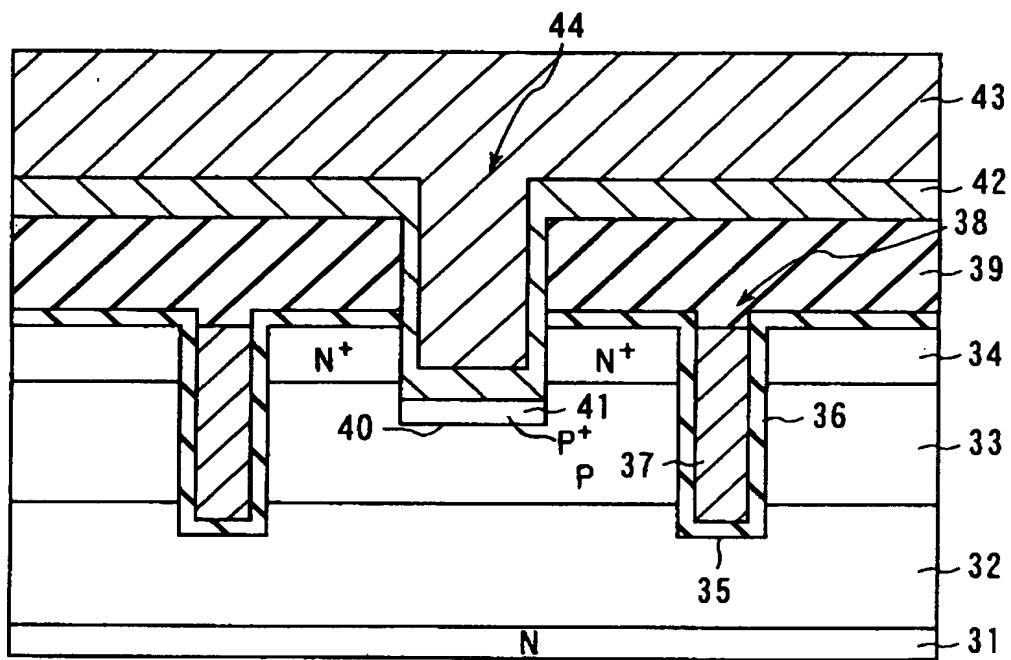
【図 4】



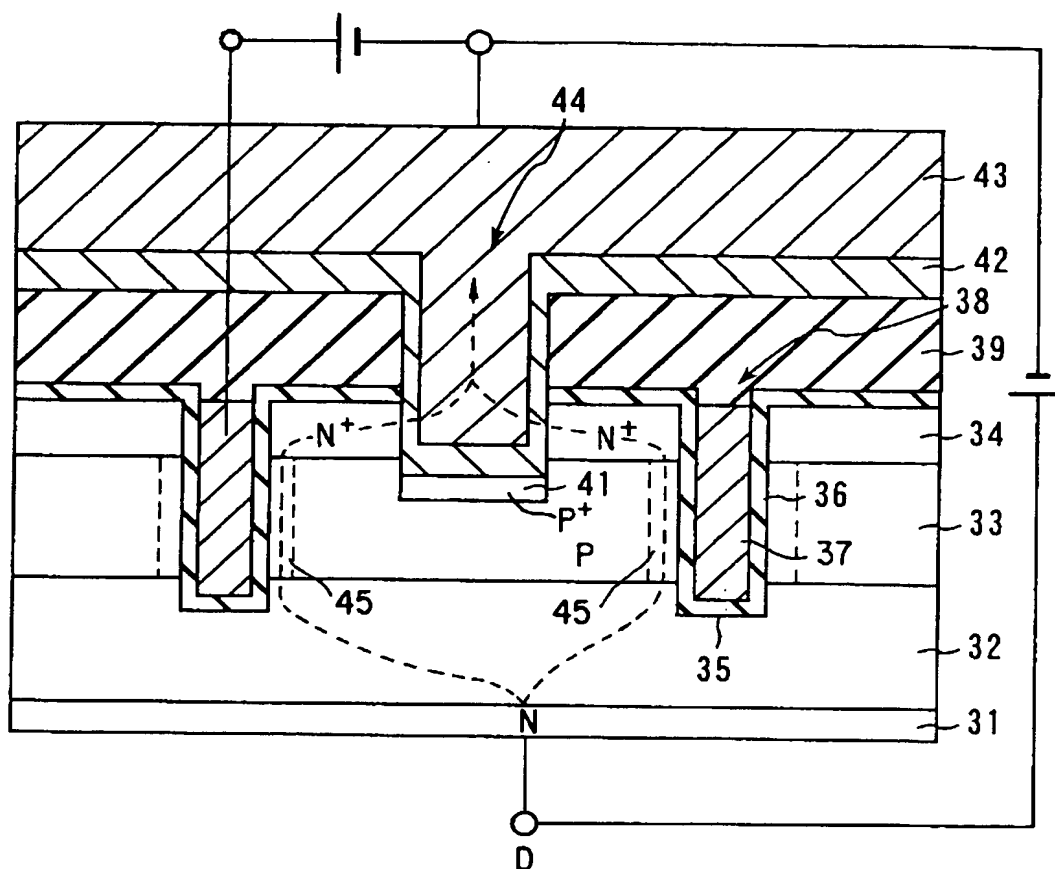
【図 5】



【図 6】



【图 7】



【書類名】 要約書

【要約】

【課題】 チャネル領域の密度を増やし、素子の低抵抗化を図る。

【解決手段】 トレンチゲート 1 8 : ソースコンタクト 2 4 の配列比は 4 : 1 となっている。すなわち、4 つのトレンチゲート 1 8 に対して、1 つのソースコンタクト 2 4 が配列されている。これらトレンチゲート 1 8 のうち、ソースコンタクト 2 4 の左側に配置された 3 つのトレンチゲート 1 8 a は、一端部が互いに接続され、他端部は互いに開放されている。この開放された部分で各ゲートのソース領域が、ソース接続領域 2 6 を介してソースコンタクト 2 4 と接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝